

Patent Abstracts of Japan

PUBLICATION NUMBER : 11220742
PUBLICATION DATE : 10-08-99

APPLICATION DATE : 05-11-98
APPLICATION NUMBER : 10315163

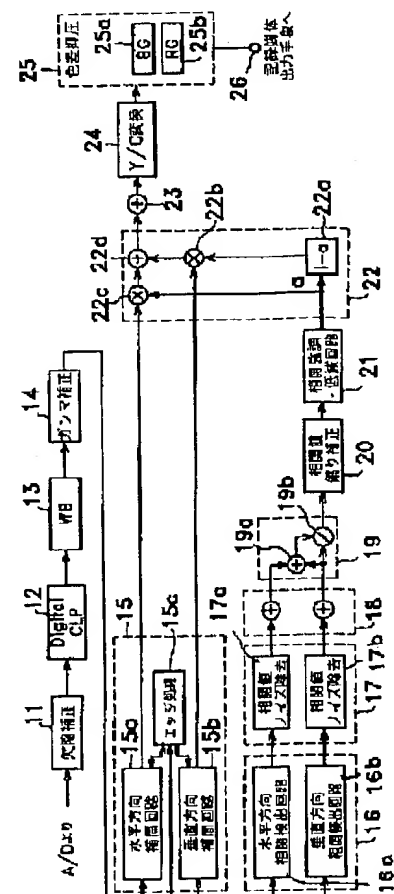
APPLICANT : SONY CORP;

INVENTOR : NAKAJIMA TAKESHI;

INT.CL. : H04N 9/07

TITLE : CAMERA SIGNAL PROCESSOR AND
CAMERA SIGNAL PROCESSING
METHOD

8



ABSTRACT : PROBLEM TO BE SOLVED: To change the correlation between a vertical direction and a horizontal direction by considering only the distortion of a signal due to CCD and the like by detecting and normalizing a horizontal correlation value and a vertical correlation value, which show the degree of correlation in the horizontal direction and the vertical direction of interpolated image element data and weight interpolation data and adding a prescribed correction value.

SOLUTION: Image data interpolation part 15 interpolates respective pixel data for respective pixel and generates respective interpolation pixel data. Horizontal and vertical direction correlation detection circuits 16a and 16b calculate horizontal and vertical correlation values on the pixel where pixel data G exists and the pixel where it does not exist by using a prescribed filter, and they output them to a bias correction circuit 20 via a normalization circuit 19. The bias correction circuit 20 adds a correction value from a control part to the normalized vertical correlation value. As a result, even if the vertical correlation value and the horizontal correlation value do not become the same level, by controlling the correction value, the vertical correlation value can be controlled and the value can be corrected.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-220742

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.⁶

H 0 4 N 9/07

識別記号

F I

H 0 4 N 9/07

A

審査請求 未請求 請求項の数 6 O L (全 21 頁)

(21) 出願番号 特願平10-315163

(22) 出願日 平成10年(1998)11月5日

(31) 優先権主張番号 特願平9-329317

(32) 優先日 平9(1997)11月28日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 山本 敏久

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72) 発明者 中島 健

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

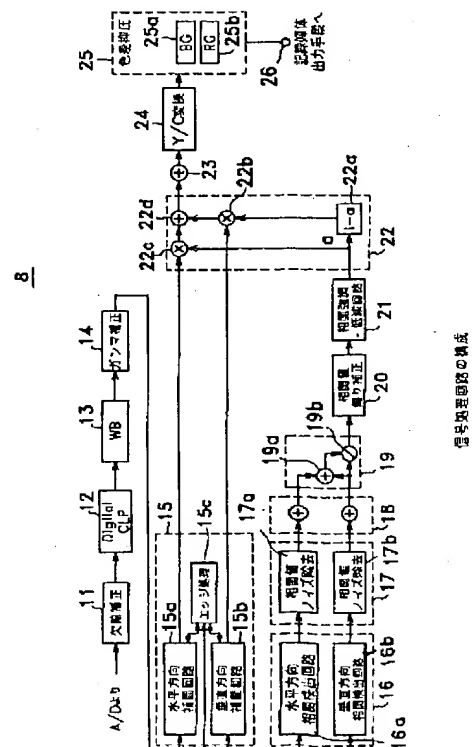
(74) 代理人 弁理士 小池 晃 (外 2 名)

(54) 【発明の名称】 カメラ信号処理装置及びカメラ信号処理方法

(57) 【要約】

【課題】 CCD等に起因する信号の歪を考慮して垂直方向、水平方向の相関の関係を変化させる。

【解決手段】 色フィルタを介して撮像光が入射される固体撮像素子からの撮像信号に基づいて生成される画素データの当該位置及び／又は周囲の画素データに基づいて2方向から補間して各方向の補間画素データを生成する画像データ補間部15と、上記補間画素データの上記2方向における相関の程度を示す相関値を検出する相関値検出部16と、上記各方向の相関値を正規化して各方向の相関値の正規化値を生成する正規化回路19と、上記正規化値に補正值を加算する偏り補正回路20と、上記補正值が加算された正規化値に基づいて上記各方向の補間画素データを重み付け加算して補間画素データを生成する加重加算回路22と、上記補間画素データに基づいて画像を生成する画像生成手段とを備える。



【特許請求の範囲】

【請求項1】 各画素に対応して分光感度が異なる色フィルタを介して撮像光が入射される固体撮像素子からの撮像信号に基づいて生成される画素データの当該位置及び／又は周囲の画素データに基づいて少なくとも2以上の方向から補間して各方向の補間画素データをそれぞれ生成する補間画素データ生成手段と、
上記補間画素データ生成手段で生成した補間画素データの上記2以上の方向における相関の程度を示す相関値をそれぞれ検出する相関検出手段と、
上記相関検出手段で検出した各方向の相関値を正規化して各方向の相関値の相対値を示す正規化値を生成する正規化手段と、
上記正規化手段で生成した正規化値に所定値の補正値を加算処理する補正手段と、
上記補間画素データ生成手段で生成した各方向の補間画素データに上記補正手段で補正値が加算処理された正規化値で重み付けをして、重み付けられた各補間画素データを加算処理して補間画素データを生成する重み付け手段と、
上記重み付け手段で重み付けられた補間画素データに基づいて画像を生成する画像生成手段とを備えることを特徴とするカメラ信号処理装置。

【請求項2】 上記補正手段を制御する制御手段を備え、

上記制御手段は、 $-1 \sim 1$ の範囲内で補正値を生成し、
上記補正手段で補正値と正規化値を加算処理させることを特徴とする請求項1に記載のカメラ信号処理装置。

【請求項3】 上記相関検出手段で検出した各方向の相関値の値を制限する制限手段を備え、
上記制限手段は、上記相関検出手段で検出した各方向の相関値が $0 \sim 1$ の範囲内となるように制限することを特徴とする請求項1に記載のカメラ信号処理装置。

【請求項4】 各画素に対応して分光感度が異なる色フィルタを介して撮像光が入射される固体撮像素子からの撮像信号に基づいて生成される画素データの当該位置及び／又は周囲の画素データに基づいて少なくとも2以上の方向から補間して各方向の補間画素データをそれぞれ生成し、
上記補間画素データの上記2以上の方向における相関の程度を示す各方向の相関値をそれぞれ検出し、
上記各方向の相関値を正規化して各方向の相関値の相対値を示す正規化値を生成し、
上記正規化値に所定値の補正値を加算処理し、
上記各方向の補間画素データに補正値が加算処理された各方向の相関値で重み付けをして、重み付けられた各方向の補間画素データを加算処理して得た補間画素データを生成し、
上記重み付けられた補間画素データに基づいて画像を生成することを特徴とするカメラ信号処理方法。

【請求項5】 正規化値と補正値とを加算処理するとき、 $-1 \sim 1$ の範囲内で補正値を生成し、当該補正値と上記正規化値を加算処理することを特徴とする請求項4に記載のカメラ信号処理方法。

【請求項6】 正規化値に補正値を加算処理した後、上記正規化値が $0 \sim 1$ の範囲内となるように制限することを特徴とする請求項4に記載のカメラ信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、単板式のカメラ装置で生成するカメラ信号の処理を行うカメラ信号処理装置及びカメラ信号処理方法に関し、詳しくは固体撮像素子で生成した撮像信号から輝度信号又は色差信号を生成するときに各画素における補間値の相関を示す相関値を算出するカメラ信号処理装置及びカメラ信号処理方法に関する。

【0002】

【従来の技術】従来において、CCD(Charge Coupled Device)イメージセンサ(以下、単にCCDと称する。)等の固体撮像素子を用いた単板式のカメラ装置においては、CCD上にR、G、Bに対応した光を透過させる色フィルタが配設されている。この色フィルタは、R(レッド)の光を透過させる領域と、G(グリーン)の光を透過させる領域と、B(ブルー)の光を透過させる領域とがマトリクス状に形成されており、例えば水平方向においてG、R、G・・・又はB、G、B・・・と配設されている。そして、CCDには、この色フィルタの各領域を透過した光が入力され、色フィルタのR、G、Bの光を透過させる領域に対応した画素から画素データG、画素データR、画素データBをそれぞれ生成する。

【0003】そして、このカメラ装置においては、CCDに入力される光に基づいて輝度信号を作成するとともに、色信号を作成している。

【0004】このようなカメラ装置におけるCCDは、1つの画素毎にR、G、Bを有する色フィルタが配されており、例えば水平方向にR、G、R、G、・・・という配列となされている。そして、このカメラ装置においては、各画素に対応して配された色フィルタに対応して色信号を作成している。したがって、このようなCCDでは、Rの光を透過させる色フィルタが配されている画素においてはG及びBに対応した画素データG、Bが生成されないこととなり、G及びBに対応した画素データを補間して生成する必要がある。

【0005】従来のカメラ装置において、例えばCCDで生成したカメラ信号の輝度信号を処理する際においては、全画素読み出しの場合、CCDの垂直方向及び水平方向の2画素ずつの4つの画素から生成する輝度信号を相加平均して作成することが知られている。

【0006】また、単板式のカメラ装置においては、補間を行って画素データを生成するときに、垂直方向及び

水平方向における相関を示す相関値を検出する。この相関値を検出するときには、周囲に配された画素の信号をフィルタを用いて計算することで垂直方向における相関値及び水平方向における相関値を算出する。そして、このカメラ装置においては、相関値を用いて、補間して得た補間画素データに重み付けを行う。

【0007】

【発明が解決しようとする課題】ところで、上述したカメラ装置においては、CCDで生成した画素データが、上述したような手法で相関値を検出すると、垂直方向における相関と水平方向における相関との関係が等しく検出できないことがある。

【0008】すなわち、例えばCCDの縦横比や、CCDから出力されるアナログ信号を検波するときに生ずる歪等により、垂直方向における相関と水平方向における相関との関係が等しく算出できないことがある。

【0009】このように、垂直方向における相関と水平方向における相関との関係が等しく算出できないと、垂直方向、水平方向のいずれに相関が強いのかを判断することが困難となる。

【0010】そこで、本発明は、上述したような実情に鑑みて提案されたものであり、例えばCCD等に起因する信号の歪を考慮して垂直方向、水平方向の相関の関係を変化させることができるカメラ信号処理装置及びカメラ信号処理方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上述の課題を解決する本発明にかかるカメラ信号処理装置は、固体撮像素子が検出する画素データを当該位置及び周囲の画素データに基づいて生成した補間画素データの水平方向及び垂直方向における相関の程度を示し当該補間画素データに重み付けを行う水平相関値及び垂直相関値を検出する相関検出手段と、相関検出手段で検出した水平相関値と垂直相関値とを正規化して当該水平相関値と垂直相関値との相対値を示す正規化値を生成する正規化手段と、正規化手段で生成した正規化値に所定値の補正値を加算処理する補正手段とを有することを特徴とするものである。

【0012】また、本発明にかかるカメラ信号処理方法は、画素データを当該位置及び周囲の画素データに基づいて生成した補間画素データの水平方向及び垂直方向における相関の程度を示し当該補間画素データに重み付けを行う水平相関値及び垂直相関値を検出し、水平相関値と垂直相関値とを正規化して当該水平相関値と垂直相関値との相対値を示す正規化値を生成し、正規化値に所定値の補正値を加算処理することを特徴とする。

【0013】

【発明の実施の形態】以下、本発明に係るカメラ信号処理装置及びカメラ信号処理方法の実施の形態について図面を参照しながら説明する。

【0014】本発明は、例えば図1に示すように、入力

された光に応じて静止画像を生成するカメラ装置1に適用される。

【0015】このカメラ装置1は、CCD(Charge Coupled Device) イメージャ(以下CCDと称する。)に被写体を結像する光学系2と、CCD3と、このCCD3を駆動するタイミングジェネレータ4と、CCD3から撮像信号が入力されるサンプル/ホールド回路5と、サンプル/ホールド回路5から撮像信号が入力されゲインを調整するAGC回路6と、入力された撮像信号をデジタル方式の画像データに変換するA/D変換回路7と、画像データにカメラ信号処理を行うカメラ処理部8と、CCD3で生成する撮像信号を検波するCCD検波部9と、これら各部を制御する制御部10とから構成されている。

【0016】ここで、CCD3には、R(レッド)の光を透過する領域と、G(グリーン)の光を透過する領域と、B(ブルー)の光を透過する領域とがマトリクス状に形成された色フィルタが配設されており、各画素毎に当該色フィルタを透過した光が入力される。この色フィルタは、例えば、各色の光を透過する領域が水平方向にR、G、R、G・・・又はG、B、G、B・・・と配設されている。すなわち、CCD3は、各画素毎で各色R、G、Bに対応した光に基づいて画素データR、画素データG、画素データBを生成する。

【0017】このCCD検波部9では、A/D変換回路7でデジタル方式に変換された画像データが入力される。そして、このCCD検波部9で検波された画像データは、例えばAE(auto exposure)回路、AF(auto focus)回路に入力される。そして、例えばAE回路に入力された画像データは、電子シャッタのシャッタースピード又は絞りを調整するために使用され、CCD3に入射する光の明るさを自動で切り換える。

【0018】カメラ処理部8は、A/D変換回路7から画像データが入力される欠陥補正回路11と、欠陥補正回路11から画像データが入力されるCLP回路12と、CLP回路12から画像データが入力されるホワイトバランス回路13と、ホワイトバランス回路13から画像データが入力される γ 補正回路14を備える。

【0019】欠陥補正回路11は、A/D変換回路7からの画像データに欠陥補正を施す。この欠陥補正回路11は、欠陥を有するために画素データが生成されない画素の欠陥を補正して、CLP回路12に画像データを出力する。

【0020】CLP回路12には、欠陥補正回路11からの画像データからオプティカルブラックを差し引く。このようにCLP回路12では、入力した画像データの黒レベルを補正して、当該画像データをホワイトバランス回路13に出力する。

【0021】ホワイトバランス回路13には、CLP回路12からの画像データR、G、Bに対応した色毎のレ

ベルを調整する。このようにホワイトバランス回路13は、各色毎にレベルが調整された画像データを γ 補正回路14に出力する。

【0022】この γ 補正回路14には、ホワイトバランス回路13からの画像データに γ 補正を施す。そして、この γ 補正回路14は、 γ 補正を施した画像データを後述する画像データ補間部と相関値検出部とに出力する。

【0023】また、この信号処理部8は、図2に示すように、 γ 補正回路14から画像データが入力される画像データ補間部15と、各画素データ間の相関値を検出する相関値検出部16と、相関値のノイズを除去するノイズ除去部17と、相関値にオフセットをかけるオフセット回路18と、相関値を正規化する正規化回路19と、相関を検出する方向の偏りを補正する偏り補正回路20と、相関の強調及び低減を行う強調・低減回路21と、補間した画像データに相関値を用いて重み付けを行う加重加算回路22と、画像データの輪郭を補正する輪郭補正回路23と、画像データを輝度信号(Y)と色差信号(C)とからなるY/C信号に変換するY/C変換部24と、色差信号による偽色信号を抑制する色差信号抑制部25と、出力部26とを備える。

$$[1, 4, 6, 4, 1]/8$$

すなわち、補間画素データ R' 、 G' 、 B' の算出を行うときには、式1に示すフィルタを用いるために、水平方向補間回路15aを図4に示すように構成する。

【0027】水平方向補間回路15aは、水平方向における補間画素データ R' 、 G' 、 B' を作成するとき、図4に示すように構成する。この水平方向補間回路15aは、 γ 補正回路14から画素データが入力される入力部30と、入力部30から各画素データが入力される遅延回路31と、遅延回路31から水平方向における各画素データが入力され補間画素データを生成するフィルタ回路32と、フィルタ回路32を介して補間画素データが入力されるセレクト回路33と、セレクト回路33からの補間画素データを出力する出力端子34とからなる。

【0028】入力部30には、 γ 補正回路14から水平方向における各画素データが順次入力される。この入力部30には、1画素データ毎にクロックで順次入力される。遅延回路31は、入力部30で入力した各画素データが入力される遅延回路31a～31dからなる。この遅延回路31は、入力された各画素データを上記のクロックと同期して各遅延回路31a～31dに入力し、フィルタ回路32に出力する。

【0029】フィルタ回路32は、入力部30及び遅延回路31dを介して画素データが入力される加算器32aと、遅延回路31a及び遅延回路31cを介して画素データが入力される加算器32bと、遅延回路31bを介して画素データが入力される加算器32cと、加算器32a及び加算器32cからの出力が入力される加算器

【0024】画像データ補間部15には、 γ 補正回路14から複数の画素データからなる画像データが入力される。この画像データ補間部15は、各画素毎に各画素データ R 、 G 、 B の補間を行って、各補間画素データ R' 、 G' 、 B' を生成するものである。この画像データ補間部15は、水平方向に配列した画素に対応した画素データの補間を行う水平方向補間回路15aと、垂直方向に配列した画素に対応した画素データの補間を行う垂直方向補間回路15bとからなる。

【0025】水平方向補間回路15aには、図3に示すようなマトリクス状に配列された各画素に対応する画素データ R 、 G 、 B が入力される。この水平方向補間回路15aは、下記の式1に示すフィルタを用いて水平方向における補間画素データを算出する。なお、図3は、各画素毎に対応した画素データ R 、 G 、 B を示す図であり、各画素の配置として座標を数字で示した図である。また、この以下の説明においては、水平方向におけるライン毎に0h、1h、2h、3h、4hと配されているとして以下の説明を行う。

【0026】

$$(式1)$$

32dとからなる。

【0030】加算器32aは入力部30から直接入力される画素データ及び遅延回路31dを介して画素データが入力され、加算器32cは遅延回路31bを介して画素データが入力され、加算器32dは加算器32a及び加算器32cを介して画素データが入力される。また、加算器32bは遅延回路31a及び遅延回路31cを介して画素データが入力される。

【0031】すなわち、このフィルタ回路32は、加算器32a、32c、32dで $[1, 0, 6, 0, 1]/8$ のフィルタを構成し、加算器32bで $[1, 0, 1]/2$ のフィルタを構成している。

【0032】セレクト回路33は、加算器32dからの出力及び遅延回路31bを介して画素データが入力されるセレクト33a、33bと、セレクト33aからの出力及び加算器32bからの出力が入力されるセレクト33cと、加算器32b及びセレクト33bからの出力が入力されるセレクト33dとを有する。

【0033】また、各セレクト33a～33dは、制御部10からの制御信号が入力されて、その動作が制御されている。

【0034】出力部34は、セレクト33cからの出力を出力する端子34aとセレクト33dからの出力を後述するエッジ処理回路に出力する端子34bとを有する。

【0035】このように構成された水平方向補間回路15aは、例えば画素データ G_{22} について、補間画素データ R_{22}' 、 B_{22}' のみならず、補間画素データ G_{22}' を

も算出する。

【0036】水平方向補間回路15aで、例えば図3中の画素データ G_{22} についての補間画素データ G_{22}' を算出するときには、入力部30で2hにおける画素データ G_{20} 、 R_{21} 、 G_{22} 、 R_{23} 、 G_{24} を順次入力する。

【0037】次に、入力部30で入力した画素データ G_{20} 、 R_{21} 、 G_{22} 、 R_{23} 、 G_{24} を遅延回路31によりフィルタ回路32に入力する。すなわち、画素データ G_{20} を加算器32aに入力し、画素データ R_{21} を加算器32bに入力し、画素データ G_{22} を加算器32cに入力し、画素データ R_{23} を加算器32bに入力し、画素データ G_{24} を加算器32aに入力する。

【0038】次に、フィルタ回路32で各画素データ G_{20} 、 G_{22} 、 G_{24} から、画素データ G_{22} についての補間画素データ G_{22}' の演算を行う。すなわち、加算器32aでは画素データ G_{20} と画素データ G_{24} とを加算処理して加算器32dに出力する。また、加算器32cでは、画素データ G_{22} を4倍するとともに2倍としてこれらを加算処理して加算器32dに出力する。そして、加算器32dでは、加算器32aと加算器32cとからの出力を入力して、これらを加算処理するとともに $1/8$ の乗算処理を行ってセレクト回路33に出力する。また、加算器32bでは、画素データ R_{21} と画素データ R_{23} を入力してこれらを加算処理するとともに $1/2$ の乗算処理を行ってセレクト回路33に出力する。

【0039】このように加算器32a、32c、32dで加算処理を行うことにより、 $\{ \text{画素データ } G_{20} + 6 \times \text{画素データ } G_{22} + \text{画素データ } G_{24} \} / 8$ という演算を行う。一方、加算器32bで加算処理を行うことにより、 $\{ \text{画素データ } R_{21} + \text{画素データ } R_{23} \} / 2$ という演算を行う。すなわち、このフィルタ回路32では、加算器32bで $[1, 0, 1] / 2$ というフィルタを構成し、加算器32a、32c、32dで $[1, 0, 6, 0, 1] / 8$ というフィルタを構成し、画素データ G_{20} 、 G_{22} 、 G_{24} を上述した式1に示すフィルタを通過させる。したがって、このフィルタ回路32によれば、画素データ R_{21} 、 G_{22} についての補間画素データ R_{22}' 、 G_{22}' を作成する。

【0040】次に、セレクト33a及びセレクト33bでは、補間画素データ G_{22}' を入力するとともに、画素データ G_{22} を入力する。また、セレクト33a及びセレクト33bでは、制御部10から制御信号H又は制御信号Lを入力する。ここで、セレクト33a及びセレクト33bでは、制御信号Hが入力されたときには、フィルタ回路32からの補間画素データ G_{22}' をそのままセレクト33c、33dに出力し、制御信号Lが入力されたときには、画素データ G_{22} をセレクト33c、33dに出力する。

【0041】次に、この制御部10では、画素データ G_{22} についての補間画素データ G_{22}' がフィルタ回路32

で生成されていることから、制御信号Lをセレクト33c及びセレクト33dに出力する。このように、セレクト33c、33dに制御信号Lが入力されると、セレクト33cでは補間画素データ R_{22}' を出力し、セレクト33dでは画素データ G_{22} 又は補間画素データ G_{22}' を出力する。

【0042】一方、制御部10からセレクト33c、セレクト33dに制御信号Hが入力された場合、セレクト33cはセレクト33aから入力されたデータを出力し、セレクト33dは加算器32bから入力されたデータを出力する。

【0043】すなわち、このセレクト33dは、例えば画素データ G_{22} についての補間画素データ G_{22}' を出力するときにはセレクト33bからの入力を出力し、図3中の画素データ G_{23} についての補間画素データ G_{23}' を出力するときには、加算器32bからの入力を出力するように制御される。そして、セレクト33cは端子34aに画素データR又は画素データBについての補間画素データ R_{22}' を出力し、セレクト33dは端子34bに画素データGについての補間画素データ G_{22}' を出力する。

【0044】このように画素データGについての補間画素データ G' を算出するときには、入力した画素データR、Gのうち、図5に示すような画素データGのみからなるCCD3を想定して補間画素データ G' を算出する。したがって、この水平方向補間回路15aでは、画素データGが存在しない画素について補間画素データ G' を算出するときには $[1, 0, 1] / 2$ というフィルタを使用して補間画素データ G' を算出し、画素データGが存在する画素について補間画素データ G' を算出するときには $[1, 0, 6, 0, 1] / 8$ というフィルタを使用して補間画素データ G' を算出することとなる。したがって、このようなフィルタを用いて補間画素データ G' を算出する水平方向補間回路15aでは、これらのフィルタの周波数特性が図6及び図7に示すようになる。すなわち、この $[1, 0, 6, 0, 1] / 8$ というフィルタでは図6に示すような周波数特性を示し、

$[1, 0, 1] / 2$ というフィルタでは図7に示すような周波数特性を示す。この図6及び図7に示したフィルタの周波数特性によれば、水平方向補間回路15aでは、これらのフィルタを用いることで画素データGが存在する画素における補間画素データ G' の周波数特性と画素データGが存在しない補間画素データ G' の周波数特性との差を小さくすることができる。

【0045】したがって、このように各画素データGについての補間画素データ G' を算出することにより、図8に示すような補間画像データ G' を得ることができる。

【0046】また、上述した水平方向補間回路15aは、2hにおいて画素データ G_{22} についての補間画素デ

ータ R_{22}' を $[1, 0, 1]/2$ のフィルタを用いて算出したが、上述と同様に1hにおいては、画素データ G_{11} についての補間画素データ B_{11}' を算出することもできる。

【0047】次に、2hにおける画素データ G_{22} についての補間画素データ B_{22}' を算出するときには、図9に示したフィルタを用いて行う。すなわち、以下の説明では、画素データBが存在しないラインにおいて、補間画素データ B' を算出する一例について説明する。

【0048】画素データ G_{22} の補間画像データ B_{22}' を算出するときには、図9に示すように構成した水平方向補間回路15a'を用いて補間画素データ B_{22}' を算出する。なお、以下の水平方向補間回路15a'の説明においては、図4に示した水平方向補間回路15aと同様の部分については同一の符号を付することでその詳細な説明を省略する。すなわち、この図9に示した水平方向補間回路15a'では、入力部30を例えば1hにおける画素データが $B_{10}, G_{11}, B_{12}, G_{13}, B_{14}$ の順に入力される端子30aと、3hにおける画素データが $B_{30}, G_{31}, B_{32}, G_{33}, B_{34}$ の順に入力される端子30bとからなるものとしている。そして、この図9に示した水平方向補間回路15a'は、端子30a, 30bから画素データが入力される加算器35を備えている。この加算器35では、端子30a及び端子30bからの画素データが入力されて、加算処理を行うとともに除算処理を行う。すなわち、この加算器35では、例えば「画素データ B_{10} +画素データ B_{30} 」/2という処理を行う。そして、この図9の水平方向補間回路15a'では、図4に示した水平方向補間回路15aと同様に遅延回路31a~31d、加算器32、セレクト回路33を介して補間画素データ G', B' を出力する。

【0049】すなわち、この水平方向補間回路15a'では、まず、垂直方向において隣接した1h及び3hに配列した画素に対応した画素データBの相加平均で垂直方向を補間することで、図10に示すように配置された各画素の画素データBを、図11に示すように、垂直方向に補間して補間画素データ B' を算出する。

【0050】次に、この垂直方向における画素データB

$$B_{22}' = \{ (B_{12}' - G_{12}') + (B_{32}' - G_{32}') \} / 2 + G_{22}' \quad (\text{式2})$$

この式2によれば、補間画素データ B_{22}' を算出するときには、図4の水平方向補間回路15aを用いて算出した $G_{12}', G_{32}', G_{22}'$ と、上述の式1で算出した B_{32}', B_{12}' とを用いて補間画素データ B_{22}' を算出することができる。一方、垂直方向補間回路15bは、図13に示すように構成している。なお、以下に述べる垂直方向補間回路15bの説明においては、上述の水平方向補間回路15aと同一部分については同一符号を付することによりその詳細な説明を省略する。

【0056】この垂直方向補間回路15bは、図13に示すように、垂直方向における各画素データR, G, B

及び補間して得た補間画素データ B' を $[1, 0, 6, 0, 1]/8$ のフィルタ、 $[1, 0, 1]/2$ のフィルタを介して画素データBの水平方向における補間画素データ B' を算出する。

【0051】すなわち、この水平方向補間回路15a'では、水平方向に画素データBが存在しないラインについての補間画素データ B_{22}' を以下のように作成する。まず、フィルタ回路32で1h及び3hにおける画素データBに $[1, 0, 6, 0, 1]/8$ からなるフィルタを加算器32a, 32c, 32dを通過させることで適用し、1h及び3hにおける画素データGに $[1, 0, 1]/2$ からなるフィルタを加算器32bを通過させることで適用する。水平方向補間回路15a'は、さらに $[1, 0, 6, 0, 1]/8$ からなるフィルタを通過して得た画素データBの値から $[1, 0, 1]/2$ からなるフィルタを通過して得た画素データGの値を減算する減算処理回路と、この減算処理回路からの出力に図4に示した水平方向補間回路15aで得た補間画素データ G_{22}' を加算処理する加算処理回路とを有している。

【0052】すなわち、この水平方向補間回路15a'では、 $[1, 0, 6, 0, 1]/8$ からなるフィルタを通過して得た画素データBの値から $[1, 0, 1]/2$ からなるフィルタを通過して得た画素データGの値を減算処理して、さらに画素データ G' を加算処理して補間画素データ B' を加算回路22に出力する。

【0053】このように、図9の水平方向補間回路15a'は、2hのように、画素データBが存在しない画素に対応した画素データ G_{22} においても、図12に示すように、補間画素データ B_{22}' を算出することができる。すなわち、この図9の水平方向補間回路15a'によれば、全(すべ)ての画素について補間画素データ B' を算出することができる。

【0054】また、このような水平方向補間回路15a'は、画素データ G_{22} について補間画素データ B_{22}' を算出するときには、下記式2及び上述の式1で算出した補間画素データを用いて算出してもよい。

【0055】

が順次入力される入力部30を備えている。この入力部30は、1hにおける画素データが入力される端子30aと、3hにおける画素データが入力される端子30bと、0hにおける画素データが入力される端子30cと、4hにおける画素データが入力される端子30dと、2hにおける画素データが入力される端子30eとを有する。

【0057】また、この垂直方向補間回路15bは、上述した水平方向補間回路15aと同様に、フィルタ回路32と、セレクト回路33と、出力部34とを有している。この垂直方向補間回路15bでは、各端子30a~

30eに画素データ B_{10} , B_{30} , G_{00} , G_{40} , G_{20} が入力されると、端子30a及び端子30bに入力された画素データを加算器32bに出力し、端子30c及び端子30dに入力された画素データを加算器32aに出力し、端子30eに入力された画素データを加算器32cに出力する。そして、垂直方向補間回路15bでは、水平方向補間回路15aと同様に、これらの入力された画素データをフィルタ回路32により上述の式1及び式2に適用して、画素データ R , G , B についての補間画素データ R' , G' , B' を得る。

【0058】また、この画像データ補間部15を構成する水平方向補間回路15aと垂直方向補間回路15bは、エッジ処理回路15cに接続している。このエッジ処理回路15cは、図14に示すように、上述の γ 補正回路14からディレイ調整がなされた画素データ G が入力される端子40a～40cからなる入力部40と、各端子40a～40cから画素データ G が入力される遅延回路41a～41dと、入力された画素データ G を比較する比較部42と、比較部42での比較結果について演算処理を施す演算部43と、演算部43での演算結果に応じて出力を制御する出力部44と、出力部44から画素データを出力する出力端子45とから構成されている。また、このエッジ処理回路15cは、 γ 補正回路14から各画素データ G が入力される。ここで、以下に説明するエッジ処理部15cは、例えば図15における補間画素データ G' の値を制御するときの一例について説明する。

【0059】入力部40は、上述した水平方向補間回路15a、垂直方向補間回路15bで補間して得られた図15における補間画素データ G' の周囲の画素データ $G_1 \sim G_4$ が入力される。この入力部40は、例えば2hにおける補間画素データについてエッジ処理を行うときには、当該補間画素データ G' の上方に隣接した1hの画素データ G_1 が入力される端子40aと、当該補間画素データ G' の水平方向における両隣の画素データ G_2 , G_3 が入力される端子40bと、当該補間画素データ G' の下方に隣接した3hの画素データ G_4 が入力される端子40cとを備える。また、各端子40a～40cは、遅延回路41a～41dと接続している。なお、画素データ G_1 , G_2 , G_3 , G_4 は、ディレイがかけられて各端子40a～40cに入力される。

【0060】遅延回路41a～41dは、比較部42及び出力部44と接続し、入力部40から出力された画素データ $G_1 \sim G_4$ を入力する。この遅延回路41a～41dは、画素データ $G_1 \sim G_4$ を入力するクロックと同期したクロックで比較部42及び出力部44に各画素データ $G_1 \sim G_4$ を出力する。

【0061】比較部42は、入力部40で入力された4つの画素データのうち、2つの画素データが入力されるコンパレータ42a～42fからなる。すなわち、この

比較部42は、画素データ G_1 及び画素データ G_2 が入力されるコンパレータ42aと、画素データ G_1 及び画素データ G_3 が入力されるコンパレータ42bと、画素データ G_1 及び画素データ G_4 が入力されるコンパレータ42cと、画素データ G_2 及び画素データ G_3 が入力されるコンパレータ42dと、画素データ G_2 及び画素データ G_4 が入力されるコンパレータ42eと、画素データ G_3 及び画素データ G_4 が入力されるコンパレータ42fとからなる。

【0062】また、コンパレータ42aは端子Aで画素データ G_1 、端子Bで画素データ G_2 が入力され、コンパレータ42bは端子Aで画素データ G_1 、端子Bで画素データ G_3 が入力され、コンパレータ42cは端子Aで画素データ G_1 、端子Bで画素データ G_4 が入力され、コンパレータ42dは端子Aで画素データ G_2 、端子Bで画素データ G_3 が入力され、コンパレータ42eは端子Aで画素データ G_2 、端子Bで画素データ G_4 が入力され、コンパレータ42fは端子Aで画素データ G_3 、端子Bで画素データ G_4 が入力される。

【0063】演算部43は、比較部42から比較結果を入力し、この比較結果に基づいて入力部40で入力された画素データ $G_1 \sim G_4$ のうち、2位と3位の画像データを選択する。ここで、演算部43は、複数のセレクトから構成されている。この演算部43は、例えばコンパレータ42a、コンパレータ42b、コンパレータ42cからの比較結果が (L, H, H) , (H, L, H) , (H, H, L) のいずれかである場合、画素データ G_1 を2位として、演算結果を出力部44に出力する。また、この演算部43は、例えばコンパレータ42a、コンパレータ42d、コンパレータ42eからの比較結果が (H, L, L) , (H, L, H) , (H, H, L) のいずれかである場合、画素データ G_2 を3位として、演算結果を出力部44に出力する。

【0064】出力部44は、入力部40及び演算部43と接続されている。この出力部44は、入力部40から各画素データ $G_1 \sim G_4$ が入力されるとともに、演算部43から演算結果が入力される。この出力部44は、2位を示す演算結果に応じて画素データを出力するセレクト44aと、3位を示す演算結果に応じて画素データ $G_1 \sim G_4$ を出力するセレクト44bとを有する。また、この出力部44は、端子40aで入力された画素データ G_1 が入力される00端子と、端子40bで入力された画素データ G_2 が入力される10端子と、端子40bで入力された画素データ G_3 が入力される01端子と、端子40cで入力された画素データ G_4 が入力される11端子とを備えている。

【0065】出力部45は、出力部44及び水平方向補間回路15a、垂直方向補間回路15bと接続されている。この出力部45は、出力部44で出力した2位及び3位を示す画素データ $G_1 \sim G_4$ を水平方向補間回路15

a, 垂直方向補間回路15bに出力する。

【0066】このように構成されたエッジ処理回路15cでエッジ処理を行うときには、図15に示すように、入力部40で例えば水平方向補間回路15a, 垂直方向補間回路15bで補間して得られた補間画素データG'の周囲の画素データG₁, G₂, G₃, G₄を入力部40で入力する。ここで、図15中の各画素データ内の数字は、各画素データG₁~G₄の大きさを表している。ここで、入力部40では、画素データG₁を端子40aで入力し、画素データG₂を端子40bで入力し、画素データG₃を端子40bで入力し、画素データG₄を端子40cで入力する。そして、これら画素データG₁~G₄を各遅延回路41a~41dを介して各コンパレータ42a~42fに出力する。

【0067】次に、これら各コンパレータ42a~42fでは、入力された画素データG₁~G₄の大きさを比較して比較結果を演算部43に出力する。このとき、各コンパレータ42a~42fは、端子Aに入力した画素データが端子Bに入力した画素データよりも大きいときは比較結果Hを演算部43に出力し、端子Aに入力した画素データが端子Bに入力した画素データよりも小さいときは比較結果Lを演算部43に出力する。

【0068】次に、演算部43では、各コンパレータ42a~42fからの比較結果に応じて入力部40で入力した画素データG₁~G₄のうち、2位と3位の画素データG₁~G₄を決定して、演算結果を出力部44に出力する。ここで、セレクト44aで2位を示す演算結果が入力され、セレクト44bで3位を示す演算結果が入力される。そして、各セレクト44a, 44bは、演算結果に基づいて画素データG₁, G₂, G₃, G₄のうち、2位及び3位に該当する画素データG₁~G₄を選択して出力部45に出力する。

【0069】次に、出力部45では、これら2位及び3位に該当する画素データG₁~G₄を水平方向補間回路15a及び垂直方向補間回路15bに出力する。

【0070】次に、水平方向補間回路15a及び垂直方向補間回路15bでは、この2位及び3位に該当する画素データG₁~G₄から補間画素データG'の大きさが算出されることとなる。

【0071】したがって、このようなエッジ処理回路15cによれば、例えば画素データG₁の大きさが100, 画素データG₂の大きさが100, 画素データG₃の大きさが100, 画素データG₄の大きさが0である場合には、2位及び3位の間を示す画素データは、共に100となるので、補間画素データG'の大きさは100に制限される。したがって、このエッジ処理回路15cによれば、図15に示した画素データについて垂直方向について補間したときの補間画素データG'は(100+0)=50として算出されるようなことがない。

【0072】相関値検出部16は、上述のr補正回路1

4から画素データが入力される。この相関値検出部16は、水平方向の相関値を検出する水平方向相関検出回路16aと、垂直方向の相関値を検出する垂直方向相関検出回路16bとからなる。

【0073】水平方向相関検出回路16aは、画素データGが存在する画素においては下記式3に示すフィルタを用い、画素データGが存在しない画素においては下記式4に示すフィルタを用いて水平相関値C_hを算出する。

【0074】

【数1】

$$C_h = \begin{bmatrix} -1 & 0 & 2 & 0 & -1 \\ 0 & 0 & 0 & 0 & 0 \\ -6 & 0 & 12 & 0 & -6 \\ 0 & 0 & 0 & 0 & 0 \\ -1 & 0 & 2 & 0 & -1 \end{bmatrix} \quad \dots(3)$$

$$C_h = \begin{bmatrix} -1 & 0 & 2 & 0 & -1 \\ 0 & 0 & 0 & 0 & 0 \\ -1 & 0 & 2 & 0 & -1 \end{bmatrix} \quad \dots(4)$$

【0075】すなわち、水平相関値C_hは、垂直方向において、画素データGが存在する場合には式3を用いて[1, 0, 6, 0, 1]のLPF、画素データGが存在しない場合には式4を用いて[1, 0, 1]のLPFをかけて算出される。また、水平相関値C_hは、水平方向において、[-1, 0, 2, 0, -1]のBPFをかけて算出される。

【0076】この水平方向相関検出回路16aは、図16に示すように、r補正回路14から画素データが端子50a~50eから入力される入力部50と、各画素データが入力されて水平相関値C_hを生成するフィルタ回路52と、水平相関値C_hが入力されるセレクト回路53と、セレクト回路53からの水平相関値C_hを出力する出力部54とからなる。

【0077】入力部50は、r補正回路14から図3に示した垂直方向に配された各画素データを順次入力する。この入力部50は、1hにおける画素データが入力される端子50aと、3hにおける画素データが入力される端子50bと、0hにおける画素データが入力される端子50cと、4hにおける画素データが入力される端子50dと、2hにおける画素データが入力される端子50eとを有する。

【0078】フィルタ回路52は、端子50a及び端子50bから画素データが入力される加算器52aと、端子50c及び端子50dから画素データが入力される加算器52bと、端子50eから画素データが入力される加算器52cと、加算器52b及び加算器52cからの出力が入力される加算器52dとからなる。このフィル

タ回路52は、上述した水平方向補間回路15a及び垂直方向補間回路15bに示したフィルタ回路33と同様に、加算器52b、加算器52c、加算器52dで

$[1, 0, 6, 0, 1]/8$ のフィルタを構成し、加算器52aで $[1, 0, 1]/2$ のフィルタを構成している。

【0079】セクタ回路53は、加算器52dからの出力及び端子50eから画素データが入力されるセクタ53aと、加算器52aからの出力及びセクタ53aからの出力が入力されるセクタ53bとを有する。また、各セクタ53a、53bは、制御部10からの制御信号を入力して、その動作が制御されている。すなわち、セクタ53aは、制御部10から制御信号Hを入力したとき、加算器52b、52c、52dを介して入力された画素データを出力し、制御部10から制御信号Lを入力したとき、端子50eから入力された画素データを出力する。また、セクタ53bは、制御部10からの制御信号に応じて加算器52aを通過した水平相関値 C_h を出力するか、セクタ53aを通過した画素データを出力するかが制御される。

【0080】なお、この水平方向相関検出回路16aでは、相関値を算出する対象となる画素データについてはフィルタ回路52を通過させずにセクタ回路53に入力させても良い。このように、フィルタ回路52b、52c、52dを通過させずに画素データGをそのまま相関値として用いることで画素データGの帯域の低下を抑制することができるとともに、回路を簡略化することもできる。

【0081】このセクタ53bは、画素データGが存在する画素では加算器52b、52c、52d或（ある）いは端子50eからの出力を通過させるように制御され、画素データGが存在しない画素では加算器52aからの出力を通過させるように制御される。

【0082】出力部54は、セクタ53bから入力した水平相関値 C_h を出力する。この出力部54は、図示しない水平方向に $[-1, 0, 2, 0, -1]$ のBPFを介してノイズ除去部17と接続しており、水平相関値 C_h を当該ノイズ除去部17に出力する。

【0083】垂直方向相関検出回路16bは、画素データGが存在する画素においては下記式5に示すフィルタを用い、画素データGが存在しない画素においては下記式6に示すフィルタを用いて垂直相関値 C_v を算出する。

【0084】

【数2】

$$C_v = \begin{bmatrix} -1 & 0 & -6 & 0 & -1 \\ 0 & 0 & 0 & 0 & 0 \\ 2 & 0 & 12 & 0 & 2 \\ 0 & 0 & 0 & 0 & 0 \\ -1 & 0 & -6 & 0 & -1 \end{bmatrix} \quad \dots(5)$$

$$C_v = \begin{bmatrix} -1 & 0 & -1 \\ 0 & 0 & 0 \\ 2 & 0 & 2 \\ 0 & 0 & 0 \\ -1 & 0 & -1 \end{bmatrix} \quad \dots(6)$$

【0085】すなわち、垂直相関値 C_v は、式5及び式6を用いることにより、垂直方向において $[-1, 0, 2, 0, -1]$ のBPFで算出される。また、垂直相関値 C_v は、画素データGが存在する場合、水平方向では式5を用いて $[1, 0, 6, 0, 1]$ のLPF、画素データGが存在しない場合には式6を用いて $[1, 0, 1]$ のLPFで算出される。

【0086】この垂直方向相関検出回路16bは、図17に示すように、図示を省略した垂直方向に $[-1, 0, 2, 0, -1]$ のBPFを介して画素データが入力される入力部55と、入力部55から各画素データが入力される遅延回路56a～56dと、遅延回路56a～56dから各画素データが入力されて垂直相関値 C_v を生成するフィルタ回路57と、フィルタ回路57を介して垂直相関値 C_v が入力されるセクタ回路58と、セクタ回路58からの垂直相関値 C_v を出力する出力部59とからなる。

【0087】入力部55は、 γ 補正回路14から、図示を省略した垂直方向に $[-1, 0, 2, 0, -1]$ のBPFを介して順次入力する。入力部55は、上述した水平方向補間回路15aに備えられる遅延回路31と同様の構成を有する遅延回路56a～56dに各画素データを出力する。

【0088】フィルタ回路57は、上述の水平方向相関検出回路16aに備えられるフィルタ回路52と同様の構成を有しており、加算器57a、57b、57c、57dからなる。このフィルタ回路57は、上述した水平方向相関検出回路16aに示したフィルタ回路53と同様に、加算器57b、加算器57c、加算器57dで $[1, 0, 6, 0, 1]/8$ のフィルタを構成し、加算器57aで $[1, 0, 1]/2$ のフィルタを構成している。なお、この垂直方向相関検出回路16bでは、上述の水平方向相関検出回路16aと同様に、相関値 C_v を算出する対象となる画素データについてはフィルタ回路57b、57c、57dを通過させずにセクタ回路58に入力させても良い。

【0089】セクタ回路58は、上述の水平方向相関検出回路16aに備えられるセクタ回路53と同様の構成を有しており、セクタ58a、58bを有する。また、各セクタ58a、58bは、制御部10からの制御信号が入力されて、その動作が制御されている。

【0090】このセクタ58bは、画素データGが存在する画素では加算器57b、57c、57d或(ある)いは遅延回路56bからの出力を通過させるように制御され、画素データGが存在しない画素では加算器57aからの出力を通過させるように制御される。

【0091】出力部59は、セクタ58bから入力した垂直相関値C_vを出力する。この出力部59は、ノイズ除去部17と接続しており、垂直相関値C_vを当該ノイズ除去部17に出力する。

【0092】このように構成された相関値検出部16は、式3〜式6を用いた回路を構成することで、例えば画素データGのみで相関値Cを算出するので、被写体の色の影響を受けるようなことなく水平相関値C_h及び垂直相関値C_vを算出することができる。

【0093】ノイズ除去部17は、図2に示すように、上述した水平方向相関検出回路16aと接続したノイズ除去回路17aと、垂直方向相関検出回路16bと接続したノイズ除去回路17bとからなる。これらノイズ除去回路17aとノイズ除去回路17bとは、図18に示すような同様の構成を有している。

【0094】ノイズ除去部17a、17bは、図18に示すように、相関検出回路16a、16bから相関値Cが入力される絶対値化回路60と、絶対値化された相関値Cが入力される減算回路61と、減算された相関値Cが入力されるリミット回路62とからなる。

【0095】絶対値化回路60は、例えばEx. ORゲート60aと加算器60bとからなる。この絶対値化回路60は、入力した相関値Cに対して絶対値化を施し、正の値とする。そして、この絶対値化回路60は、この絶対値化した相関値Cを減算回路61に出力する。

【0096】減算回路61は、例えば減算器61aからなる。この減算器61aは、絶対値化回路60から相関値Cが入力される。また、この減算器61aは、制御部10から入力した相関値Cから所定の値を減算する減算値を示す制御信号が入力される。そして、この減算器61aは、制御信号に応じて相関値Cから減算値を減算する。このように減算器61aは、減算処理を行うことで、図19(a)中の点線で示すように、相関値Cの出力を図19(a)中の実線で示すように減算する。そして、この減算回路61は、減算した相関値Cをリミット回路62に出力する。

【0097】リミット回路62は、例えばインバータ62aとANDゲート62bとからなる。このリミット回路62は、減算回路61で減算されて図19(b)に示すように出力が負の値となった相関値Cを0となるよう

に処理を施す。そして、このリミット回路62は、このような処理を施した相関値Cをオフセット回路18に出力する。

【0098】このようなノイズ除去部17は、入力した相関値Cから減算処理を行うことにより、微小な相関値Cを除去するので、微小な値におけるノイズを除去することができる。したがって、このノイズ除去部17によれば、例えばBPFを通過させて相関値Cを算出するために、CCD3自体のノイズ等に対して算出された相関値Cを除去することができる。また、このノイズ除去部17によれば、CCD3で生成する画素データにノイズ成分が含まれている場合、当該ノイズに対しても相関値Cを算出しても、微小な相関値を減算処理する。したがって、ノイズ除去部17によれば、ノイズの少ない相関値Cを用いて補間画素データに重み付けを行わせることができ、出力される画像に偽色信号が発生してしまい、画像が劣化することがない。

【0099】オフセット回路18は、図2に示すように、ノイズ除去回路17aから水平相関値C_hが入力されるオフセット回路18aと、ノイズ除去回路17bから垂直相関値C_vが入力されるオフセット回路18bとからなる。これらオフセット回路18aとオフセット回路18bとは、図20に示すような同様の構成を有している。

【0100】オフセット回路18a、18bは、図20に示すように、例えば加算器65からなる。この加算器65は、上述のノイズ除去回路17a、17bから相関値Cが入力される。また、この加算器65は、制御部10から所定の値のオフセット値を示す制御信号が入力される。

【0101】そして、この加算器65は、ノイズ除去部17a、17bから相関値Cが入力されると、制御信号が示すオフセット値を加算する。そして、この加算器65は、入力した相関値Cとオフセット値とを加算処理して正規化回路19に出力する。すなわち、このオフセット回路18a、18bは、例えばノイズ除去部17a、17bから図21中の点線で示すような相関値Cにオフセット値を加算することで図21中の実線で示すような相関値Cとする。

【0102】このようにオフセット回路18a、18bでは、オフセット値を相関値Cに加算処理することにより、入力した相関値Cの振幅が0程度であっても、値の大きな相関値Cを持たせることができる。このようなオフセット回路18a、18bは、例えば図22に示すように、上述した相関値検出部16では相関値Cが得られない、例えば1画素毎に色が変化する画像データを構成する画素データである場合、高域の信号や、垂直相関値C_v及び水平相関値C_hの振幅が微小な場合も、水平相関値C_hと垂直相関値C_vとが急激に切り替わることを防止することができる。すなわち、このようなオフセット

回路18a、18bによれば、オフセット値を相関値Cに加算処理することで、相関値Cで重み付けられる補間画素データを相加平均で補間する方向に近づけることができる。したがって、このオフセット回路18a、18bによれば、入力された相関値Cの振幅が微小である場合や隣接する画素で水平相関値 C_h が1、垂直相関値 C_v が0である場合でも、垂直相関値 C_v が0、水平相関値 C_h が1と切り替わるようなことがない。

【0103】正規化回路19は、図2に示すように、オフセット回路18a及びオフセット回路18bから水平相関値 C_h 及び垂直相関値 C_v が入力される加算器19aと、垂直相関値 C_v 及び加算器19aからの出力が入力される除算器19bとからなる。

【0104】このような正規化回路19は、加算器19aで垂直相関値 C_v と水平相関値 C_h とを加算処理して加算結果を除算器19bに出力し、除算器19bで垂直相関値 C_v を加算結果で除算処理する。そして、この正規化回路19は、下記式7に示す垂直相関値 C_v を算出する。ここで、水平相関値 C_h は、垂直相関値 C_v の相対値として下記式8に示すように表せる。

【0105】

【数3】

$$\text{垂直相関値} = \frac{C_v}{C_v + C_h} \quad \dots(7)$$

$$\text{水平相関値} = 1 - \frac{C_v}{C_v + C_h} \quad \dots(8)$$

【0106】偏り補正回路20は、図23に示すように、加算器20aからなる。この偏り補正回路20は、正規化回路19から上記式7で示す垂直相関値 C_v が入力される。加算器20aは、制御部10から補正值 α が入力される。この補正值 α は、制御部10により生成され、例えばCCD3等の設定に応じて-1～1までの範囲内で調整される。

【0107】そして、この偏り補正回路20は、垂直相関値 C_v が入力されるとともに、制御部10から入力した補正值 α を入力し、垂直相関値 C_v と補正值 α とを加算処理する。このように偏り補正回路20は、加算処理を行うことで垂直相関値 C_v を下記式9に示すような値とする。

【0108】

【数4】

$$\text{垂直相関値} = \frac{C_v}{C_v + C_h} + \alpha \quad \dots(9)$$

【0109】したがって、この偏り補正回路20は、例えば図24で示すように、図24中の点線で示す垂直相関値 C_v を入力したとき、補正值 α を加算処理することで図24中の実線で示すように変化させることができる。すなわち、この偏り補正回路20によれば、垂直相

関値 C_v に補正值 α を加算処理することで、垂直相関値 C_v と水平相関値 C_h とがCCD3からの信号の歪等によって同じレベルとはならない場合でも、制御部10から入力する補正值 α を制御することで垂直相関値 C_v の値を制御して補正することができる。また、この偏り補正回路20は、例えばCCDの縦横比や、CCDから出力されるアナログ信号を検波するときに生ずる歪等により、垂直方向における相関と水平方向における相関との関係が等しく算出できなくても、制御部10からの補正值 α を制御することで水平相関値 C_h と垂直相関値 C_v とのバランスを制御することができる。

【0110】強調・低減回路21は、図25に示すように、偏り補正回路20から垂直相関値 C_v が入力される減算器21aと、減算処理を施した垂直相関値 C_v が入力される乗算器21bと、乗算処理を施した垂直相関値 C_v が入力される加算器21cと、加算処理を施した垂直相関値 C_v が入力される制限器21dとからなる。

【0111】減算器21aは、偏り補正回路20から0～1までの値を有する垂直相関値 C_v を入力し、当該垂直相関値 C_v に減算処理を行う。この減算器21aは、垂直相関値 C_v から0.5だけ減算処理を行う。乗算器21bは、制御部10から入力する乗算値を示す制御信号に基づいて垂直相関値 C_v に乗算処理する。加算器21cは、垂直相関値 C_v に0.5だけ加算処理を行う。制限器21dは、入力した垂直相関値 C_v を一定の範囲内で制限する。

【0112】このような強調・低減回路21は、偏り補正回路20から垂直相関値 C_v が入力されると、まず、減算器21aで垂直相関値 C_v から0.5だけ減算処理を行い、次に、減算処理を施した垂直相関値 C_v に乗算処理を行う。このとき、制御部10から入力する乗算値に応じて図26中の実線で示すような特性の垂直相関値 C_v の傾きを図26中の点線又は一点鎖線で示すように変化させる。次に、乗算処理を施した垂直相関値 C_v に、上述の減算器21aで減算した0.5を加算器21cで加算する。次に、加算処理を施した垂直相関値 C_v が0～1までの範囲内の値を取るように、制限器21dで規制する。

【0113】このように強調・低減回路21は、制御部10からの乗算値を垂直相関値 C_v に乗算処理を施すことにより、図26に示すように垂直相関値 C_v の入出力特性の傾きを変化させる。したがって、この強調・低減回路21によれば、制御部10からの乗算値を変化させることにより、垂直相関値 C_v を変化させることができる。したがって、この強調・低減回路21によれば、後述する補間画素データに重み付けを行うときに、補間画素データに重み付けを行う相関値の値を変化させて、補間画素データが相関を重視するか、補間画素データが相加平均に近づくように補間するかを制御することができる。また、この強調・低減回路21によれば、例えばC

CCD3に入力される光量が小さいために、CCD3からの出力にノイズが多くなり、相関値が正確に算出できなくても、乗算値を変化させることにより相関値を制御することができる。

【0114】加重加算回路22は、図2に示すように、垂直相関値 C_v を入力して正規化した水平相関値 C_h を生成する減算器22aと、正規化した水平相関値 C_h が入力される乗算器22bと、垂直相関値 C_v が入力される乗算器22cと、垂直方向及び水平方向の補間画素データが入力される加算器22dとからなる。

【0115】このような加重加算回路22は、強調・低減回路21から垂直相関値 C_v を減算器22a及び乗算器22cに入力する。減算器22aでは、垂直相関値 C_v を1から減算処理することで水平相関値 C_h を生成する。そして、この減算器22aでは、水平相関値 C_h を乗算器22bに出力する。

【0116】乗算器22bは、垂直方向補間回路15bから垂直方向における補間画素データと、減算器22aから水平相関値 C_h とが入力される。乗算器22bは、入力した垂直方向における補間画素データと水平相関値 C_h とを乗算処理する。このように乗算器22bは、垂直方向における補間画素データに水平相関値 C_h を乗算することで重み付けを行う。

【0117】乗算器22cは、水平方向補間回路15aから水平方向における補間画素データが入力されるとともに垂直相関値 C_v が入力される。乗算器22cは、入力した水平方向における補間画素データと垂直相関値 C_v とを乗算処理する。このように乗算器22cは、水平方向における補間画素データに垂直相関値 C_v を乗算することで重み付けを行う。

【0118】加算器22dでは、乗算器22cで重み付けられた水平方向における補間画素データ及び乗算器22bで重み付けられた垂直方向における補間画素データが入力される。加算器22dは、入力した水平方向における補間画素データと垂直方向における補間画素データとを加算処理する。このように加算器22dは、加算処理を行うことにより、垂直方向及び水平方向の相関値により重み付けられた補間画素データを得る。そして、加算器22dは、当該補間画素データを輪郭補正回路23に出力する。

【0119】輪郭補正回路23は、加重加算回路22の加算器22dと接続している。この輪郭補正回路23は、加算器22dから補間画素データが入力されるとともに制御部10から輪郭強調信号が入力される。この輪郭強調信号は、CCD3のレスポンス劣化の補償や、鮮明度を強調する信号である。そして、輪郭補正回路23では、入力した輪郭強調信号と補間画素データとを加算処理して、Y/C変換部24に出力する。

【0120】Y/C変換部24は、輪郭補正回路23と接続しており、当該輪郭補正回路23から補間画素デー

タが入力される。このY/C変換部24は、入力したR、G、Bからなる補間画素データを輝度信号(Y)と色差信号(C)とからなるY/C信号に変換する。そして、このY/C変換部24は、補間画素データを変換して得たY/C信号を色差信号抑制部25に出力する。

【0121】色差信号抑制部25は、Y/C変換部24と接続しており、当該Y/C変換部24からY/C信号が入力される。この色差信号抑制部25は、図27に示すように、1ラインが画素データG、Bからなる画素データの色差 $B-G$ が入力されるBGデータ抑制回路25aと、1ラインが画素データG、Rからなる画素データの色差 $R-G$ が入力されるRGデータ抑制回路25bとからなる。

【0122】BGデータ抑制回路25aは、補間画素データ G' 、 B' の色差 $B'-G'$ が入力される入力部70a~70cと、入力部70a~70cから色差 $B'-G'$ が入力される絶対値化器71a~71cと、絶対値化器71a~71cから絶対値化された色差 $B'-G'$ が入力されるコンパレータ72a~72cと、コンパレータ72a~72cからの比較結果が入力される演算器73と、演算器73からの演算結果が入力されるセクタ74と、セクタ74からの画素データが入力される出力部75とからなる。

【0123】入力部70aは垂直方向にける色差 $B'-G'$ を入力し、入力部70bは水平方向における色差 $B'-G'$ を入力し、入力部70cは相関値で重み付けがなされた色差 $B'-G'$ が入力される。入力部70aは入力した色差 $B'-G'$ を絶対値化器71aに出力し、入力部70bは入力した色差 $B'-G'$ を絶対値化器71bに出力し、入力部70cは入力した色差 $B'-G'$ を絶対値化器71cに出力する。

【0124】絶対値化器71a~71cは、例えばEx、ORゲート76と加算器77とからなる。この絶対値化器71a~71cは、入力した色差 $B'-G'$ に対して絶対値化を施し、正の値とする。絶対値化器71a~71cは、絶対値化を施した色差 $B'-G'$ をコンパレータ72a~72cに出力する。

【0125】コンパレータ72aは、絶対値化器71aを通過した色差 $B'-G'$ を端子Bで入力するとともに、絶対値化器71cを通過した色差 $B'-G'$ を端子Aで入力する。コンパレータ72bは、絶対値化器71aを通過した色差 $B'-G'$ を端子Aで入力するとともに、絶対値化器71bを通過した色差 $B'-G'$ を端子Bで入力する。コンパレータ72cは、絶対値化器71bを通過した色差 $B'-G'$ を端子Aで入力するとともに、絶対値化器71cを通過した色差 $B'-G'$ を端子Bで入力する。これらコンパレータ72a~72cは、端子A及び端子Bで入力した色差 $B'-G'$ の大きさを比較して端子Aで入力した色差 $B'-G'$ が大きいと判断した場合には比較結果Hを演算器73に出力し、端子

Aで入力した色差 $B' - G'$ が小さいと判断した場合には比較結果Lを演算器73に出力する。

【0126】演算器73は、コンパレータ72a~72cから比較結果が入力されるとともに、制御部10から制御信号が入力される。この演算器73は、比較結果及び制御信号に基づいて演算結果を生成してセクタ74に出力する。

【0127】この演算器73は、制御信号Hを入力したときには演算結果11を出力し、制御信号Lを入力したときには各コンパレータ72a~72cからの比較結果に基づいて演算結果を生成する。この演算器73は、各コンパレータ72a、72b、72cの比較結果が(H, L, X)のときには演算結果00を出力し、各コンパレータ72a、72b、72cの比較結果が(X, H, L)のときには演算結果01を出力し、各コンパレータ72a、72b、72cの比較結果が(L, X, H)のときには演算結果10を生成してセクタ74に出力する。

【0128】セクタ74は、演算器73から演算結果が入力されるとともに、入力部70a~70cから色差 $B' - G'$ が入力される。このセクタ74は、11端子及び10端子で入力部70cで入力した色差 $B' - G'$ を入力し、01端子で入力部70bで入力した色差 $B' - G'$ を入力し、00端子で入力部70aで入力した色差 $B' - G'$ が入力される。また、このセクタ74は、演算結果11が入力されると11端子で入力した色差 $B' - G'$ を出力し、演算結果10が入力されると10端子で入力した色差 $B' - G'$ を出力し、演算結果01が入力されると01端子で入力した色差 $B' - G'$ を出力し、演算結果00が入力されると00端子で入力した色差 $B' - G'$ を出力する。

【0129】RGデータ抑制回路25bは、入力部70a~70cにおいて色差 $R' - G'$ を入力し、この色差 $R' - G'$ を絶対値化器71、コンパレータ72、演算器73、セクタ74を経ることで最小の色差 $R' - G'$ を選択して出力部75で出力する。

【0130】したがって、このような色差信号抑制部25によれば、図28(a)に示すように、例えば、垂直方向に配置した画素データR、Gについての補間画素データ R_v, G_v 、水平方向に配置した画素データR、Gについての補間画素データ R_h, G_h 、重み付けされた補間画素データ R_c, G_c の色差のうち最小の補間画素データ R_h, G_h を選択する。また、この色差信号抑制部25は、図28(b)に示すように、比較した補間画素データのうち、最も0に近い補間画素データ $R' - G'$ を選択する。

【0131】このような色差信号抑制部25は、入力部70a~70cで入力した補間画素データのうち、色差信号の絶対値が最小のものを選択して出力する。したがって、このような色差信号抑制部25は、相関を求める

ことができない帯域で相関値で重み付けした補間画素データで画像データを生成したとき、色のエッジ等に偽色がつくことを防止することができる。したがって、この色差信号抑制部25によれば、相関が見られない周波数帯域であっても、色の折り返し歪を防止することができる。

【0132】出力部75は、セクタ74で出力された補間画素データを出力部26に出力する。出力部26は、例えば画素データを記録する記録媒体や、表示装置、外部へ出力する端子等である。

【0133】なお、以上の説明においては、原色コーディングのCCD3を用いたカメラ装置1で生成するカメラ信号を処理する一例について説明したが、本発明は、図29(a)又は図29(b)に示すように、画像データに含まれている画素データが示す色のうち、最も多い色が市松状に配置されているコーディングの固体撮像素子であれば、補色のCCDにも適用することができる。

【0134】

【発明の効果】以上詳細に説明したように、本発明に係るカメラ信号処理装置及びカメラ信号処理方法は、少なくとも2以上の方向から補間して各方向の補間画素データをそれぞれ生成し、補間画素データの上記2以上の方向における相関の程度を示す各方向の相関値をそれぞれ検出し、各方向の相関値を正規化して各方向の相関値の相対値を示す正規化値を生成し、正規化値に所定値の補正值を加算処理するので、各方向の相関値がCCDからの信号の歪等によって同じレベルとはならない場合でも、補正值を制御することで相関値を制御して各方向の相関値の関係を補正することができる。また、このカメラ信号処理装置及びカメラ信号処理方法によれば、例えばCCDの縦横比や、CCDから出力されるアナログ信号を検波するときに生ずる歪等により、各方向における相関との関係が等しく算出できなくても、補正值を制御することで各方向の相関値のバランスを制御することができる。

【図面の簡単な説明】

【図1】カメラ装置の構成の一例を示すブロック図である。

【図2】信号処理回路の構成の一例を示すブロック図である。

【図3】各画素に対応した画素データR、G、Bの配置の一例を示す図である。

【図4】垂直方向補間回路の構成の一例を示す図である。

【図5】各画素に対応した画素データGの配置の一例を示す図である。

【図6】[1, 0, 6, 0, 1]のLPFの周波数特性を示す図である。

【図7】[1, 0, 1]のLPFの周波数特性を示す図である。

【図8】補間処理を行った後に生成される補間画素データG'の一例を示す図である。

【図9】水平方向補間回路の構成の一例を示す図である。

【図10】各画素に対応した画素データBの配置の一例を示す図である。

【図11】各画素に対応した画素データBについて水平方向に相加平均を算出したときの補間画素データB'の配置の一例を示す図である。

【図12】補間処理を行った後に生成される補間画素データB'の一例を示す図である。

【図13】垂直方向補間回路の構成の一例を示す図である。

【図14】エッジ処理回路の構成の一例を示す図である。

【図15】エッジ処理回路でエッジ処理を施すときの一例を説明するための図である。

【図16】水平方向相関検出回路の構成の一例を示す図である。

【図17】垂直方向相関検出回路の構成の一例を示す図である。

【図18】ノイズ除去回路の構成の一例を示す図である。

【図19】ノイズ除去回路で入力した相関値に処理を施すときの一例を示す図であり、(a)が相関値に減算処理を施したときの一例を示し、(b)が相関値を負の値でリミットしたときの一例を示す図である。

【図20】オフセット回路の構成の一例を示す図である。

【図21】オフセット回路で入力した相関値にオフセット値を加算処理したときの入出力特性の変化の一例を示す図である。

【図22】隣接する画素データ毎に色が変わる画像データの一例を示す図である。

【図23】偏り補正回路の構成の一例を示す図である。

【図24】偏り補正回路で入力した相関値に補正值を加算処理したときの入出力特性の変化の一例を示す図である。

【図25】強調・低減回路の構成の一例を示す図である。

【図26】強調・低減回路で入力した相関値に乗算処理を施したときの入出力特性の変化を示す図である。

【図27】色差信号抑制回路の構成の一例を示す図である。

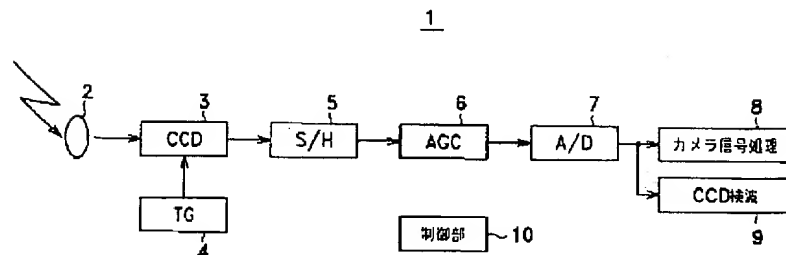
【図28】色差信号抑制部で垂直方向に配置した画素データR、Gについての補間画素データ R_v 、 G_v 、水平方向に配置した画素データR、Gについての補間画素データ R_h 、 G_h 、重み付けされた補間画素データ R_c 、 G_c の色差のうち絶対値最小の補間画素データ R_h 、 G_h を選択する一例を示す図である。

【図29】画素データの配置の他の一例を示す図である。

【符号の説明】

1 カメラ装置、15 画像データ補間部、15a 水平方向補間回路、15b 垂直方向補間回路、16 相関値検出部、16a 水平方向相関検出回路、16b 垂直方向相関検出回路、19 正規化回路、20 偏り補正回路、22 加重加算回路

【図1】



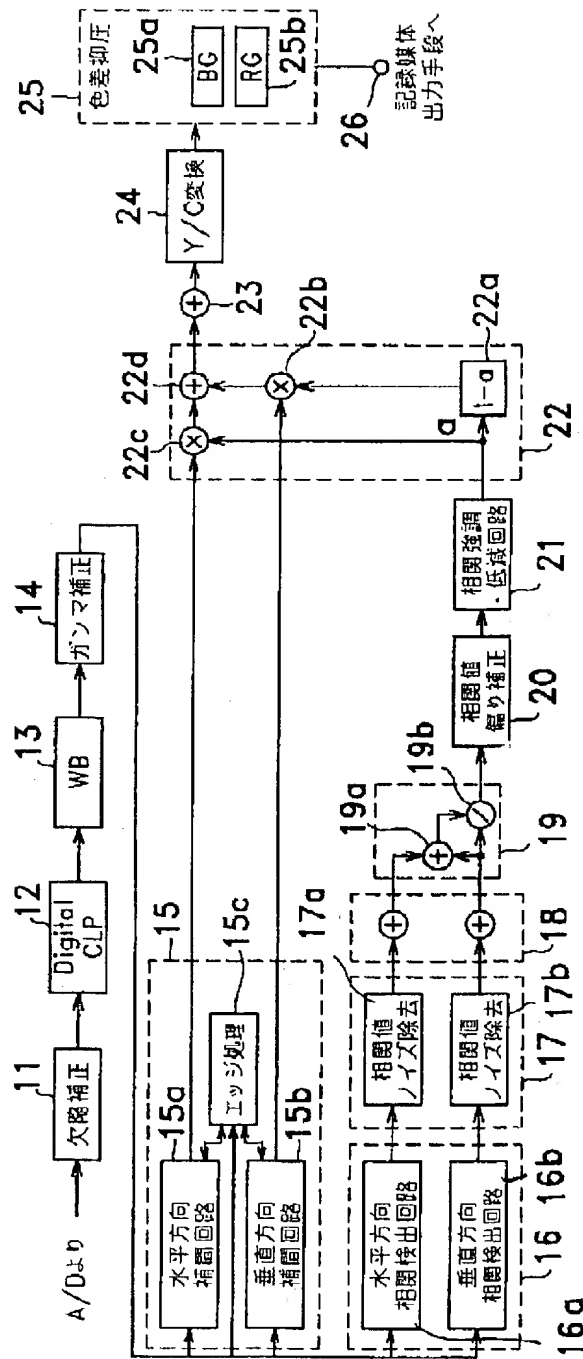
カメラ装置の構成

【図3】

0h	G 00	R 01	G 02	R 03	G 04
1h	B 10	G 11	B 12	G 13	B 14
2h	G 20	R 21	G 22	R 23	G 24
3h	B 30	G 31	B 32	G 33	B 34
4h	G 40	R 41	G 42	R 43	G 44

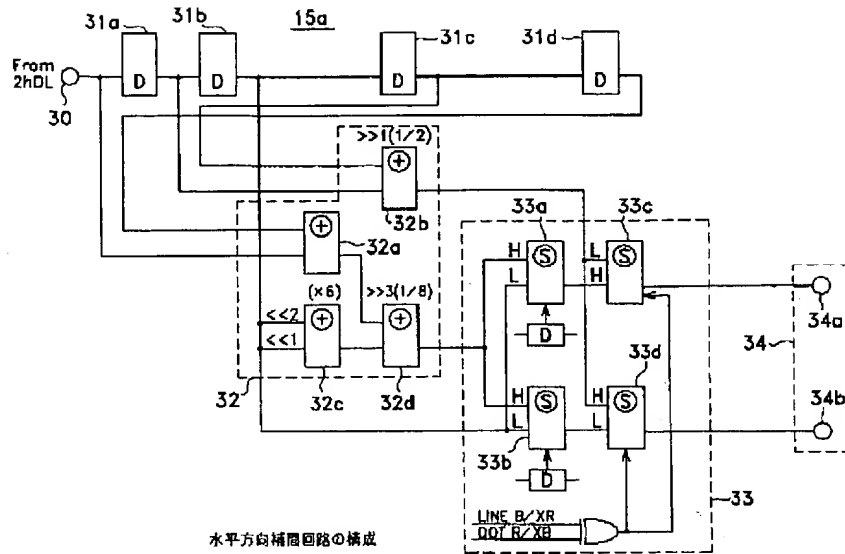
画素データの配置

【図2】



信号処理回路の構成

【図4】

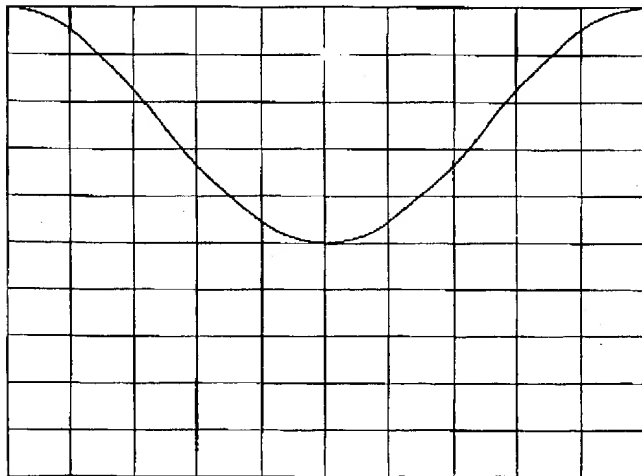


【図5】

G 00		G 02		G 04
	G 11		G 13	
G 20		G 22		G 24
	G 31		G 33	
G 40		G 42		G 44

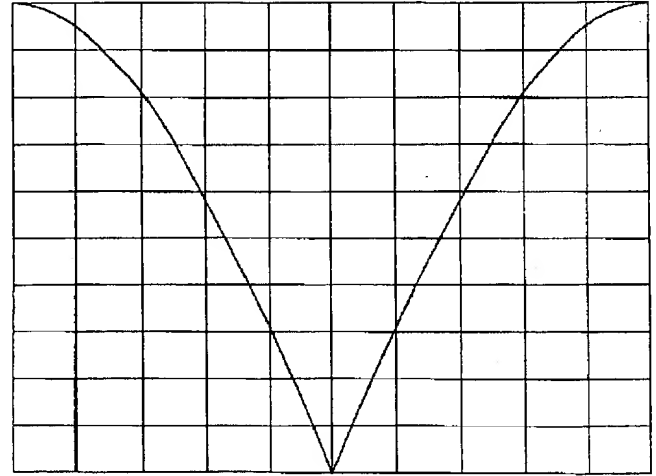
画素データの配置

【図6】



LPF の周波数特性

【図7】



LPF の周波数特性

【図10】

0h					
1h	B 10		B 12		B 14
2h					
3h	B 30		B 32		B 34
4h					

画素データの配置

【図11】

B 10		B 12		B 14
B'20		B'22		B'24
B 30		B 32		B 34

画素データの配置

【図8】

G 00'	G 01'	G 02'	G 03'	G 04'
G 10'	G 11'	G 12'	G 13'	G 14'
G 20'	G 21'	G 22'	G 23'	G 24'
G 30'	G 31'	G 32'	G 33'	G 34'
G 40'	G 41'	G 42'	G 43'	G 44'

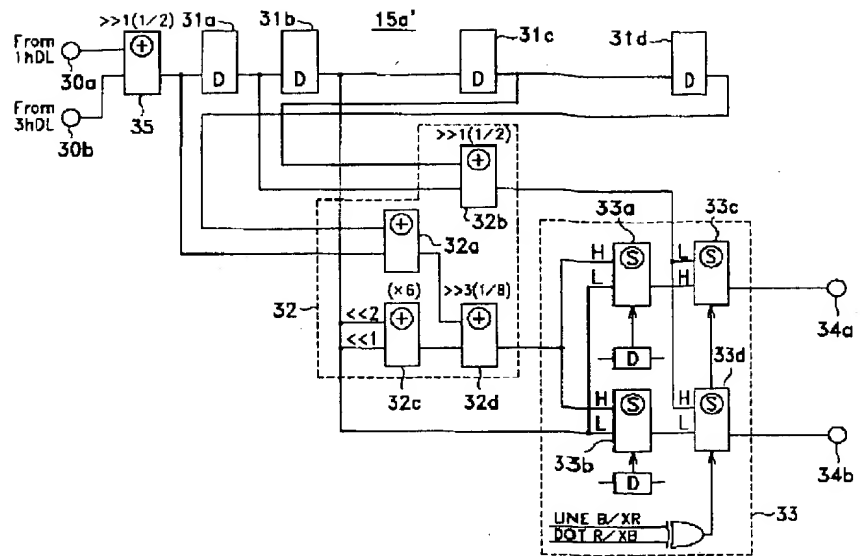
補間画像データ

【図12】

B 00'	B 01'	B 02'	B 03'	B 04'
B 10'	B 11'	B 12'	B 13'	B 14'
B 20'	B 21'	B 22'	B 23'	B 24'
B 30'	B 31'	B 32'	B 33'	B 34'

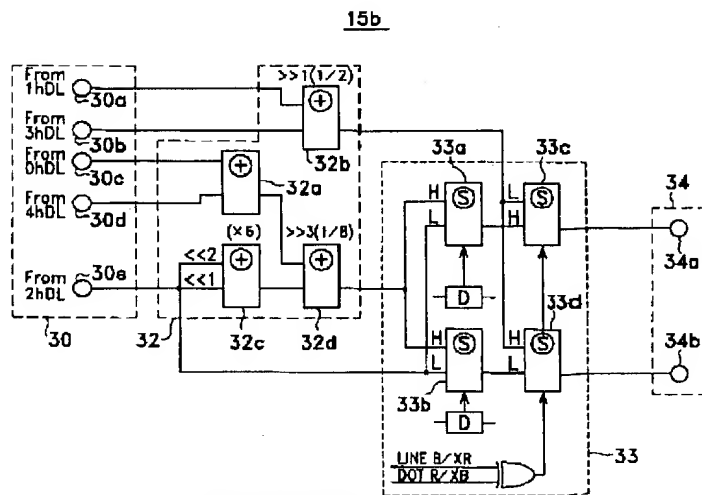
補間画像データ

【図9】



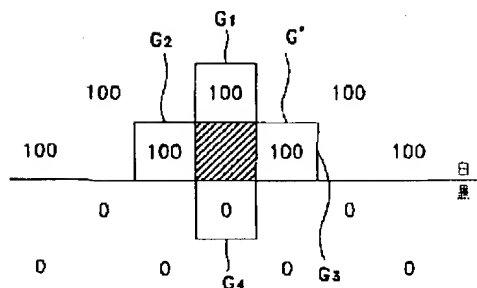
垂直方向補間回路の構成

【図13】



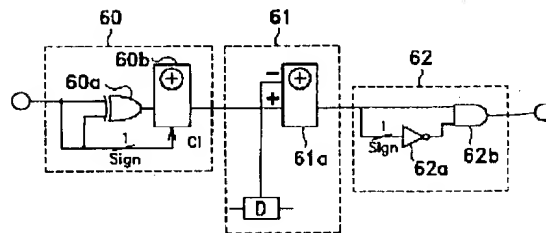
垂直方向補間回路の構成

【図15】



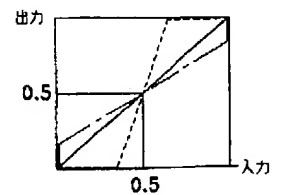
エッジ処理を施すときの一例

【図18】



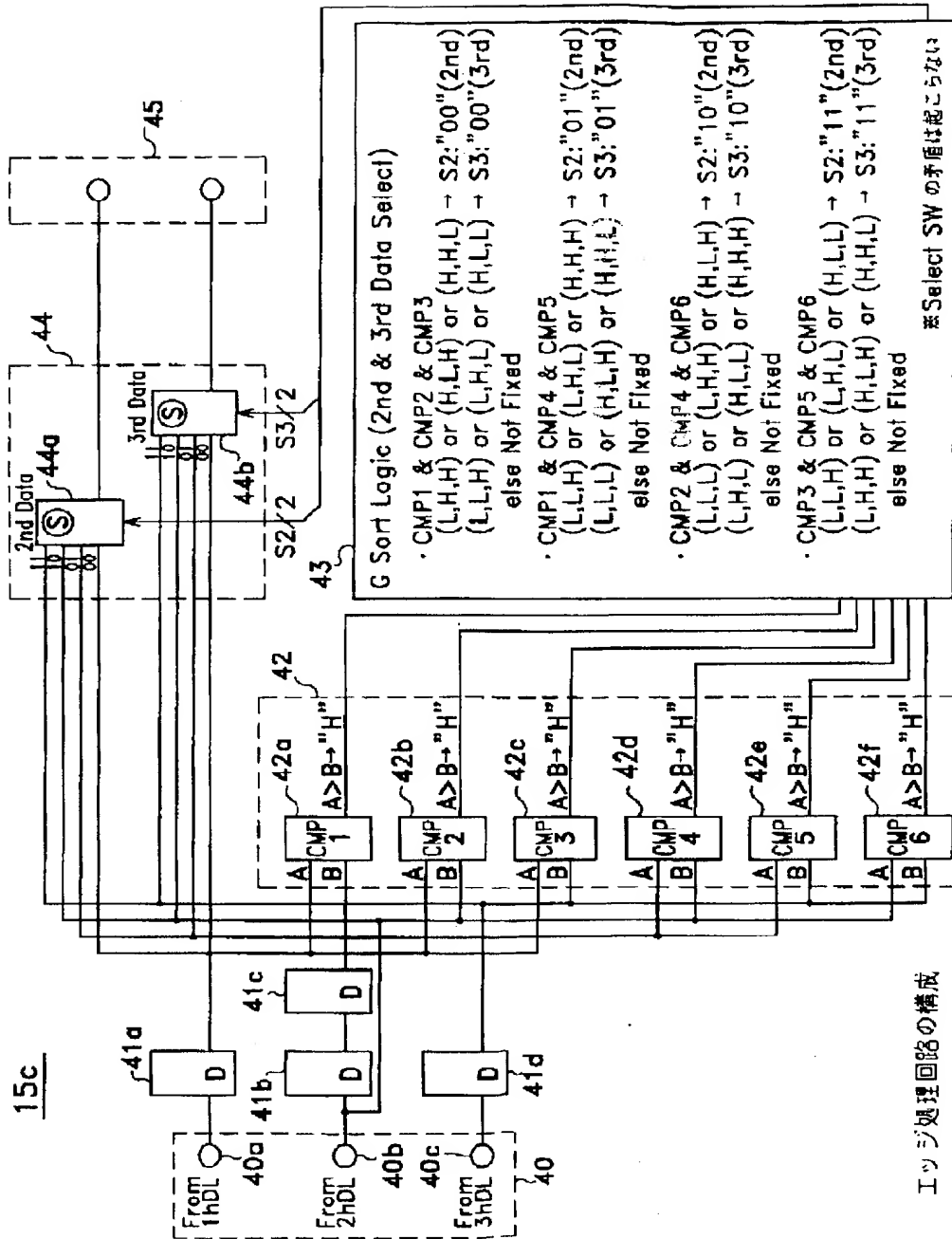
ノイズ除去回路の構成

【図26】

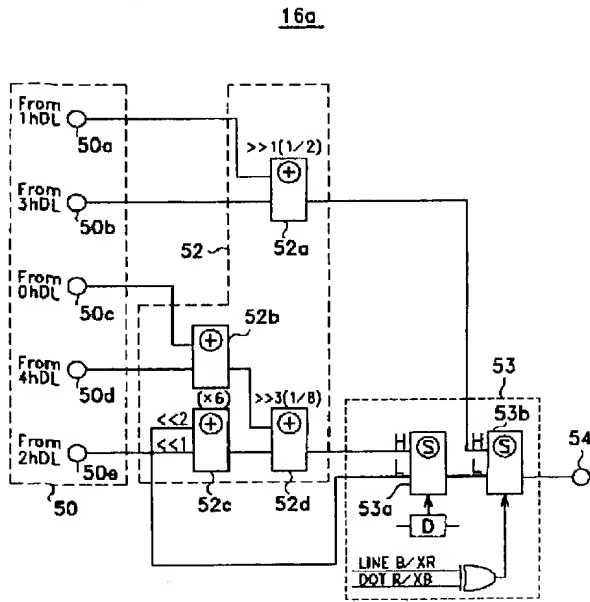


入出力特性

【図14】

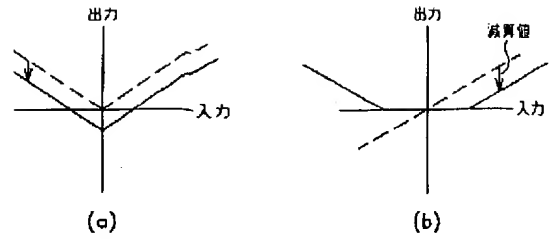


【図16】



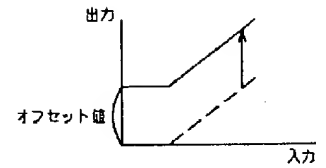
垂直方向相関検出回路の構成

【図19】



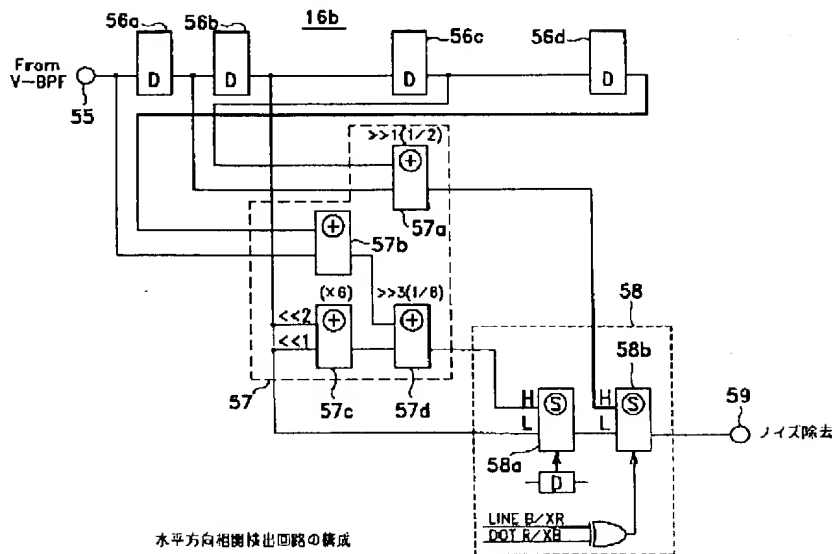
相関値への処理

【図21】



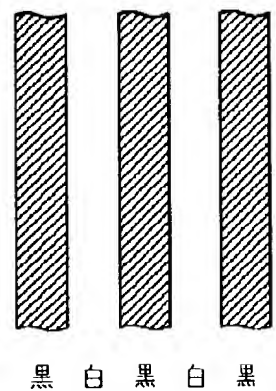
入出力特性

【図17】



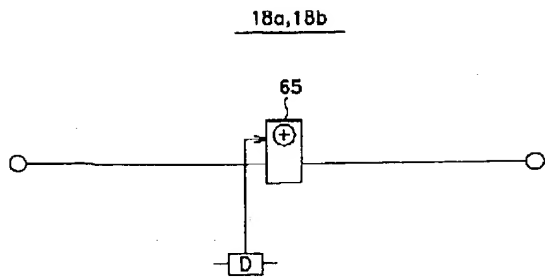
水平方向相関検出回路の構成

【図22】



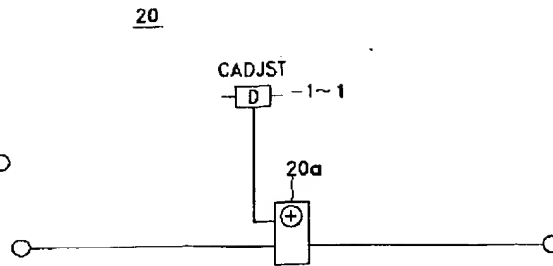
画像データの一例

【図20】



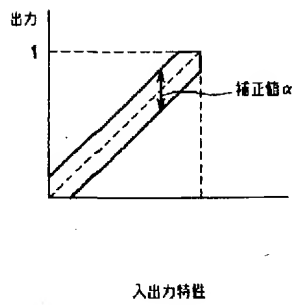
オフセット回路の構成

【図23】



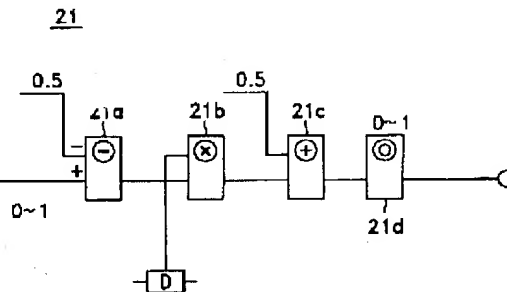
ゼロ補正回路の構成

【図24】



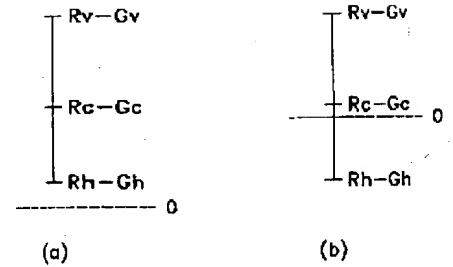
入出力特性

【図25】



ゼロ・利得補正回路の構成

【図28】



最小の補正面素データを選択する一例

【図29】

G	R	
B	G	

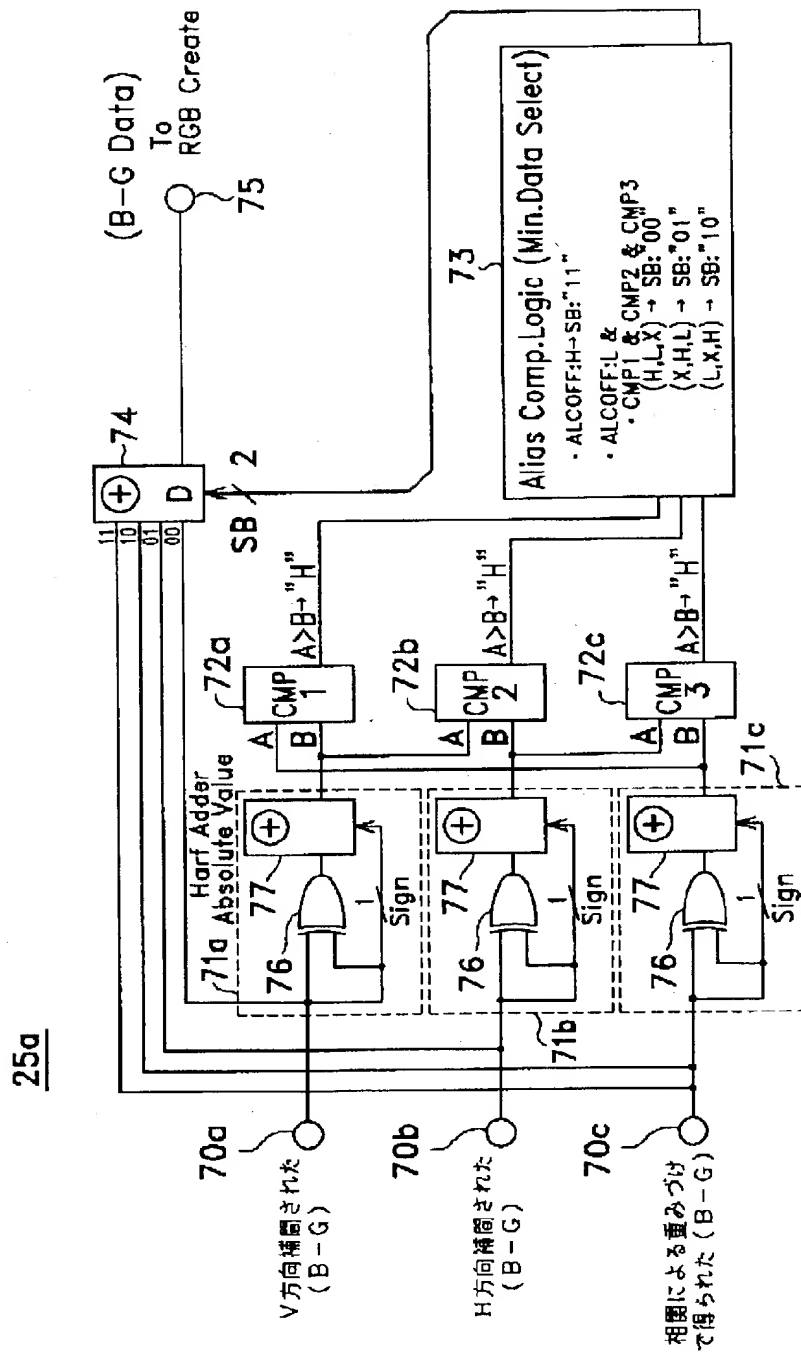
(a)

G	Ye	
Cy	G	

(b)

面素データの配置

【図27】



色差抑制回路の構成